



bonding layer 13 of Ta and a lower electrode 14 of Pt are formed on the oxide silicon layer 12 in this order by using a sputtering method, and a substratum composed of Pt/Ta/SiO(sub 2)/Si is formed. A first ferroelectric film 15 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the Pt electrode 14, and an intermediate buffer layer 16 of titanium oxide is formed on the first ferroelectric film 15. A second ferroelectric film 17 of Bi(sub 4)Ti(sub 3)O(sub 12) is formed on the titanium oxide 16, and a ferroelectric film covering substratum constituted of three layers is formed. By arranging the intermediate layer between the ferroelectric films, asymmetry of the hysteresis loop can be prevented.

6/4/3

FN- DIALOG(R)File 347:JAPIO|
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|
TI- FERROELECTRIC THIN FILM DEVICE, MANUFACTURE THEREOF AND FERROELECTRIC MEMORY DEVICE
PN- 09-321234 -J P 9321234 A-
PD- December 12, 1997 (19971212)
AU- ITO YASUYUKI; USHIKUBO MAHO; YOKOYAMA SEIICHI; MATSUNAGA HIRONORI
PA- SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)
AN- 08-145425 -JP 96145425-
AN- 08-145425 -JP 96145425-
AD- June 07, 1996 (19960607)
IC- -6- H01L-027/10; H01L-027/04; H01L-021/822; H01L-027/108; H01L-021/8242
; H01L-021/8247; H01L-029/788; H01L-029/792; H01L-037/02; H01L-041/09
; H01L-041/18; H01L-041/22; H01L-021/316
CL- 42.2 (ELECTRONICS -- Solid State Components)
KW- R002 (LASERS); R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R007
(ULTRASONIC WAVES); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS); R115 (X-RAY APPLICATIONS)
AB- PROBLEM TO BE SOLVED: To provide a ferroelectric thin film device, a manufacturing method thereof and a ferroelectric memory device, enabling the low temperature film forming with reduced leak current.

SOLUTION: The method of manufacturing a ferroelectric thin film device having a lower electrode layer 4, the ferroelectric thin film 5 and upper electrode layer 6 successively laminated on a substrate comprises forming an oxide thin film to be the ferroelectric thin film 5 on the lower electrode layer 4 formed on the substrate by the physical or chemical vapor deposition, forming the upper electrode layer 6 on this oxide thin film, and heating it to form the ferroelectric thin film 5 in a less pressure gas atmosphere than 1atm. in a heat treating step.

6/4/4

FN- DIALOG(R)File 347:JAPIO|
CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|
TI- DESTATICIZING METHOD OF SEMICONDUCTOR SUBSTRATE
PN- 09-223673 -J P 9223673 A-
PD- August 26, 1997 (19970826)
AU- MIZUNO YOSHIYUKI
PA- DAIDO STEEL CO LTD [330235] (A Japanese Company or Corporation), JP (Japan)
AN- 08-030221 -JP_9630221-
AN- 08-030221 -JP 9630221-
AD- February 19, 1996 (19960219)
IC- -6- H01L-021/205; H01L-021/68
CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R002 (LASERS); R116 (ELECTRONIC MATERIALS -- Light Emitting Diodes, LED)

AB- PROBLEM TO BE SOLVED: To provide destaticizing method which enables sufficient destaticizing process with a semiconductor substrate while simplifying manufacture process of a semiconductor element.

SOLUTION: When making a specified semiconductor layer crystal-grow on a semiconductor substrate 12, firstly, the inside of a substrate holding part 32 of a carrier device 28 for carrying the semiconductor substrate 12 to a reaction furnace 26 without taking it out of a system is made specified gas atmosphere (H(sub 2)-N(sub 2) atmosphere). Then, by generating the ion of the H(sub 2)-N(sub 2) gas in the substrate holding part 32, the semiconductor substrate 12 placed in the substrate holding part 32 is destaticized. By this, the semiconductor substrate 12 is destaticized. Therefor, prior to crystal grows, destaticized can be done without separately providing with destaticizing process in a destaticizing device, further, the destaticized semiconductor substrate 12 is, instead of taken outside, carried to the reaction furnace 26, so that sufficient destaticizing treatment is performed with the semiconductor substrate 12 while simplifying the manufacture process of a semiconductor element.

6/4/5

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- CAPACITOR OF SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

PN- 05-021744 -J P 5021744 A-

PD- January 29, 1993 (19930129)

AU- MUROYAMA MASAKAZU

PA- SONY CORP [000218] (A Japanese Company or Corporation), JP (Japan)

AN- 03-197240 -JP 91197240-

AN- 03-197240 -JP 91197240-

AD- July 10, 1991 (19910710)

IC- -5- H01L-027/108; H01L-021/314; H01L-021/318; H01L-027/04

CL- 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

SO- Section: E, Section No. 1377, Vol. 17, No. 295, Pg. 26, June 07, 1993 (19930607)

AB- PURPOSE: To provide a capacitor of a semiconductor device which reduces leakage current and improves a charge accumulation capability.

CONSTITUTION: A capacitor 12 of a semiconductor device, say, dynamic RAM 11 is formed by an accumulation capacity section comprising an accumulation node 31 and a tantalum oxy-nitride film and a plate 33. The tantalum oxy- nitride film is manufactured based on a chemical vapor growth process which used reactive gas which contains dialkylamino tantalum.

?b 351

12aug01 14:49:56 User116074 Session D4923.2

\$2.26 0.206 DialUnits File347

\$1.05 1 Type(s) in Format 2

\$6.00 4 Type(s) in Format 4

\$7.05 5 Types

\$9.31 Estimated cost File347

\$0.60 TYMNET

\$9.91 Estimated cost this search

\$10.20 Estimated total session cost 0.272 DialUnits

File 351:Derwent WPI 1963-2001/UD,UM &UP=200145



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09223673 A**

(43) Date of publication of application: 26.08.97

(51) Int. Cl. **H01L 21/205**
H01L 21/68

(21) Application number: 08030221

(71) Applicant: **DAIDO STEEL CO LTD**

(22) Date of filing: **19.02.96**

(72) Inventor: MIZUNO YOSHIYUKI

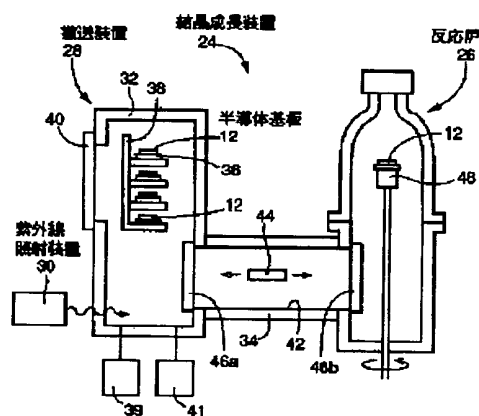
(54) DESTATICIZING METHOD OF SEMICONDUCTOR SUBSTRATE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide destaticizing method which enables sufficient destaticizing process with a semiconductor substrate while simplifying manufacture process of a semiconductor element.

SOLUTION: When making a specified semiconductor layer crystal-grow on a semiconductor substrate 12, firstly, the inside of a substrate holding part 32 of a carrier device 28 for carrying the semiconductor substrate 12 to a reaction furnace 26 without taking it out of a system is made specified gas atmosphere (H_2 - N_2 atmosphere).

Then, by generating the ion of the H_2-N_2 gas in the substrate holding part 32, the semiconductor substrate 12 placed in the substrate holding part 32 is destaticized. By this, the semiconductor substrate 12 is destaticized. Therefor, prior to crystal grows, destaticized can be done without separately providing with destaticizing process in a destaticizing device, further, the destaticized semiconductor substrate 12 is, instead of taken outside, carried to the reaction furnace 26, so that sufficient destaticizing treatment is performed with the semiconductor substrate 12 while simplifying the manufacture process of a semiconductor element.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223673

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl.⁶H 0 1 L 21/205
21/68

識別記号

庁内整理番号

F I

H 0 1 L 21/205
21/68

技術表示箇所

A

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21) 出願番号 特願平8-30221

(22) 出願日 平成8年(1996)2月19日

(71) 出願人 000003713

大同特殊鋼株式会社

愛知県名古屋市中区第一丁目11番18号

(72) 発明者 水野 義之

愛知県名古屋市長区高社二丁目194

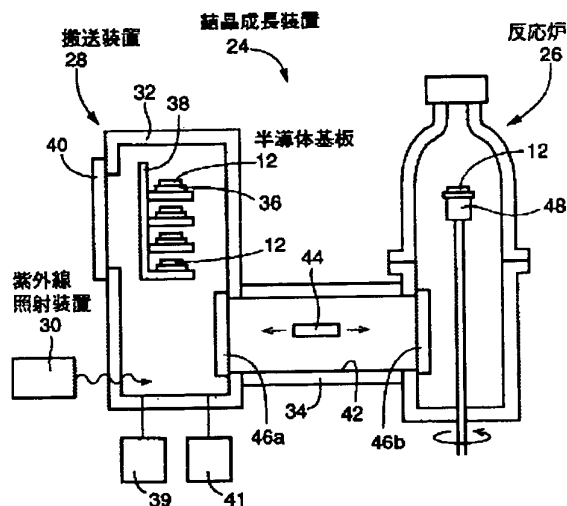
(74) 代理人 弁理士 池田 治幸 (外2名)

(54) 【発明の名称】 半導体基板の除電方法

(57) 【要約】

【課題】 半導体素子の製造工程を簡略にしつつ半導体基板の十分な除電処理を行うことが可能な除電方法を提供する。

【解決手段】 半導体基板12上に所定の半導体層を結晶成長させるに際して、半導体基板12を系外に取り出すことなく反応炉26に搬送するための搬送装置28の基板保持部32内を所定の気体雰囲気(H_2-N_2 雰囲気)にする雰囲気工程と、その基板保持部32内でその H_2-N_2 ガスのイオンを発生させることによりその基板保持部32内に載置された半導体基板12を除電する除電工程とを、含む工程によって半導体基板12が除電される。そのため、結晶成長に先立って除電装置内で除電処理する工程を別途設けることなく除電処理が可能であると共に、除電処理された半導体基板12は外部へ取り出されることなく反応炉26に搬送されることとなつて、半導体素子の製造工程を簡略にしつつ半導体基板12の十分な除電処理を行うことが可能となる。



【特許請求の範囲】

【請求項1】 反応炉内において半導体基板上に半導体層を結晶成長させるに際して、該半導体基板を除電する半導体基板を除電方法であって、

前記反応炉に連続して設けられて内部に載置された前記半導体基板を外部的に取り出すことなく該反応炉内に搬送するための搬送装置内を、所定の気体雰囲気にする雰囲気工程と、
該搬送装置内で前記所定の気体のイオンを発生させることにより、該搬送装置内に載置された前記半導体基板を除電する除電工程とを、含むことを特徴とする半導体基板を除電方法。

【請求項2】 前記除電工程は、前記搬送装置内の気体を紫外線で照射することにより、前記所定の気体のイオンを発生させるイオン発生工程を含むものである請求項1の半導体基板を除電方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に半導体層を結晶成長させて半導体素子を製造するに際してその半導体基板を除電するための除電方法に関する。

【0002】

【従来の技術】例えば、発光ダイオードや半導体レーザ等の半導体素子は、GaAs（ガリウム砒素）やSi（シリコン）等の半導体基板上に、GaAs、AlGaAs等の半導体層をMOCVD（Metal Organic Chemical Vapor Deposition：有機金属化学気相成長）法やLPE（Liquid Phase Epitaxy：液相成長）法等によって結晶成長させて積層することにより製造される。

【0003】上記の結晶成長に用いられる半導体基板は、例えば、CZ法等の引き上げ法によって得られた円柱状のインゴットを、ダイヤモンドカッタ等によって所定厚さに切断加工し、更に、所定の面粗さや平坦度が得られるように研磨加工することで製造される。そして、この半導体基板は、例えば、図1に断面形状を示されるような円盤状のプラスチック製のキャリア10に密封された状態で半導体基板製造メーカーから半導体素子製造メーカーに運搬される。図においてキャリア10は、半導体基板12をその周縁部で支持するための凹所14を備えた本体16と、同様な形状の凹所18をその本体16側に有してその本体16との間に密閉空間を形成するための蓋体20とから構成されており、その蓋体20の凹所18が形成された内面には、半導体基板12を本体16側に押圧して固定するためのプラスチック製のスプリング22が備えられている。

【0004】

【発明が解決しようとする課題】ところで、上記のような半導体基板12上に半導体層を結晶成長させるに際して、その半導体基板12が帯電していると結晶成長させるための反応炉内やその反応炉内に半導体基板12を搬

送するための搬送装置内に存在する塵芥がその表面に吸着されることから、ピットが増加して半導体素子の不良が発生する。そのため、半導体基板12上に半導体層を結晶成長させて半導体素子を製造するに際しては、半導体基板12を除電することが必要である。

【0005】従来においては、結晶成長させるに先立って、半導体基板12に生じている研磨加工時の歪みや酸化皮膜等を除去する目的で半導体素子製造メーカーにおいてエッチング処理が行われていたため、これによって半導体基板12が除電されていた。ところが、近年においては、製造工程を簡略化する等の目的で、半導体素子製造メーカーでエッチング処理することなく結晶成長を行うため、半導体基板製造メーカー側でエッチング処理が為された後、前記キャリア10に密封された状態で半導体基板12が運搬されている。

【0006】上記のキャリア10は、前述のように半導体基板12をスプリング22によって押圧固定した状態で運搬するものであるが、運搬中に加えられた振動によって半導体基板12が微妙に振動させられると、凹所14やスプリング22との摺動によってその半導体基板12が帯電させられることとなる。そのため、半導体素子製造メーカーにおいて結晶成長前に除電処理を行う必要が生じて、エッチング処理を省略したにも拘わらず製造工程が十分に簡略にならないという問題がある。

【0007】しかも、上記の除電処理は、反応炉とは別に設けられた除電装置内で行われることとなるため、除電処理した後に反応炉内に移す際等の取り扱い中に、半導体基板12が再び帯電することも生じ得て、結晶成長前の除電処理状態が必ずしも十分ではないという問題もあった。

【0008】本発明は、以上の事情を背景として為されたものであって、その目的とするところは、半導体素子の製造工程を簡略にしつつ半導体基板の十分な除電処理を行うことが可能な除電方法を提供することにある。

【0009】

【課題を解決するための手段】斯かる目的を達成するため、本発明の要旨とするところは、反応炉内において半導体基板上に半導体層を結晶成長させるに際して、その半導体基板を除電する半導体基板を除電方法であって、
(a) 前記反応炉に連続して設けられて内部に載置された前記半導体基板を外部的に取り出すことなくその反応炉内に搬送するための搬送装置内を所定の気体雰囲気にする雰囲気工程と、
(b) その搬送装置内で前記所定の気体のイオンを発生させることにより、その搬送装置内に載置された前記半導体基板を除電する除電工程とを、含むことにある。

【0010】

【発明の効果】このようにすれば、半導体基板を系外に取り出すことなく反応炉に搬送するための搬送装置内を所定の気体雰囲気にする雰囲気工程と、その搬送装置内

でその気体のイオンを発生させることによりその搬送装置内に載置された半導体基板を除電する除電工程とを、含む工程によって半導体基板が除電される。そのため、半導体基板をエッチング処理することなく半導体層を結晶成長させる場合にも、結晶成長に先立って除電装置内で除電処理する工程を別途設けることなく除電処理が可能であると共に、除電処理された半導体基板は外部へ取り出されることなく反応炉に搬送されることとなり、半導体素子の製造工程を簡略にしつつ半導体基板の十分な除電処理を行うことが可能となる。なお、上記の気体のイオンは、搬送装置内で発生させる他、搬送装置に接続されたイオン発生器から送り込んでも差し支えない。

【0011】

【発明の他の態様】ここで、好適には、前記除電工程は、前記搬送装置内の気体を紫外線で照射することにより、前記所定の気体のイオンを発生させるイオン発生工程を含むものである。このようにすれば、半導体基板を除電するための気体イオンは、紫外線照射によって発生させられることとなるため、放電によってイオンを発生させる場合に比較して、搬送装置内に可燃性気体が存在する場合にも爆発等の生じることがなく、安全に除電処理を行うことができる。

【0012】なお、搬送装置内の気体を紫外線で照射する方法としては、搬送装置内に紫外線発生装置を備えてその内部で紫外線を直接発生させる方法の他、外部に紫外線発生装置を備えると共に搬送装置を紫外線透過性の材料から構成して、外部から紫外線を照射する方法で行っても良い。

【0013】

【発明の実施の形態】以下に、本発明の一実施例を図面を参照して説明する。

【0014】図2は、本発明の一実施例の半導体基板の除電方法が適用される結晶成長装置24の構成を模式的に示す図である。図において、結晶成長装置24は、例えばMOCVD法等の気相成長法によって半導体基板12上に所定の半導体層を結晶成長させるものであり、図示しない原料ガス供給設備から図示しない配管を通して所定の原料ガスが導入される反応炉26と、複数枚の半導体基板12を保持して1枚ずつ順次反応炉26内に搬送するための搬送装置28と、その搬送装置28に向かって紫外線を照射するための紫外線発生装置30とを備えている。

【0015】上記搬送装置28は、例えば石英ガラス等の紫外線を透過する材料から構成されて上記の反応炉26から所定距離離隔した位置に並んで設けられ、内部に複数枚の半導体基板12を保持するための筒状の基板保持部32と、その基板保持部32と反応炉26とを接続して基板保持部32から反応炉26に半導体基板12を搬入或いは搬出するための搬入部34とから構成されている。

【0016】上記の基板保持部32は、半導体基板12がそれぞれ載せられたウェハトレイ36を縦方向に所定間隔をもって保持して、全体が図の上下方向に移動可能とされたウェハトレイキャリア38を備えている。上記のウェハトレイ36は、例えば SiO_2 や SiC がコートされたカーボン等の絶縁性材料から成るものである。半導体基板12は、結晶成長装置24内において常にこのウェハトレイ36上に載置されていることで装置内における絶縁性が確保されている。なお、図において、40は結晶成長装置24内に半導体基板12を投入し或いは取り出すために開かれると共に、基板保持部32を気密に密閉するために閉じられる投入・取出口であり、39は内部を所定のガス雰囲気にするために内部の空気を排出する真空ポンプ、41は所定のガスを内部に導入するためのガス導入装置である。

【0017】また、搬入部34は、基板保持部32のウェハトレイキャリア38上からウェハトレイ36を順次取り外し、搬入路42を通して反応炉26へ搬入するためのトレイ搬入機構44を備えたものであり、基板保持部32との接続部および反応炉26との接続部にはそれぞれゲートバルブ46a、46bが備えられている。このゲートバルブ46a、46bは、それぞれ基板保持部32および反応炉26との間を気密に閉塞するためのものである。

【0018】また、前記反応炉26内には、図の上下方向に移動させられると共に垂直な中心線回りに回転駆動されるサセプタ48が備えられており、そのサセプタ48上にトレイ搬入機構44によって基板保持部32から搬送された半導体基板12が保持されるようになっている。この反応炉26には、例えば誘導コイルやヒータ等によって上記サセプタ48を所定温度に加熱するための図示しない加熱装置が備えられており、そのサセプタ48上に保持された半導体基板12が間接的或いは直接的に加熱されるようになっている。

【0019】以上のように構成された結晶成長装置24によって半導体基板12上に所定の半導体層を結晶成長させる方法を、図3の工程図を参照して以下に説明する。なお、以下の各工程のうち工程2乃至8は、図示しない制御装置によって制御されることにより自動的に行われる。

【0020】まず、工程1の投入工程において、半導体基板12を載せた複数の前記ウェハトレイ36を前記の投入取出口40から基板保持部32内のウェハトレイキャリア38に載置する。そして、投入取出口40を閉じて基板保持部32内を密閉した後、所定の起動操作をすることにより、以下の各工程が実行される。すなわち、工程2の排気工程において、真空ポンプ39が作動させられて内部の空気が排出され、続く工程3のガス導入工程において、ガス導入装置41が作動させられて、基板保持部32内に例えば H_2 および N_2 ガスが導入され

る。本実施例においては、この工程3が雰囲気工程に対応する。

【0021】上記のように基板保持部32内が H_2-N_2 雰囲気とされた後に、工程4の紫外線照射工程において基板保持部32内に紫外線が照射される。このとき、前述のように、基板保持部32は紫外線透過性の材料から構成されているため、その外部から照射された紫外線によって内部に導入されたガス(H_2-N_2)がイオン化させられる。これにより、基板保持部32内に投入された半導体基板12が除電される。したがって、本実施例においては、この工程4が紫外線発生工程および除電工程に対応する。

【0022】続く工程5の搬入工程においては、基板保持部32と搬出入部34との間のゲートバルブ46aが開けられると共に、トレイ搬出入機構44が作動させられることにより、ウェハトレイキャリア38に載置されているウェハトレイ36のうちの一つがそのウェハトレイキャリア38から取り外されて搬出入路42を通して反応炉26まで搬送され、上記のゲートバルブ46aが閉じられる一方、反応炉26との間のゲートバルブ46bが開けられて、ウェハトレイ36が最下部まで下降させられているサセプタ48上に載せられる。

【0023】そして、サセプタ48が所定位置まで上昇させられた後、工程6の加熱工程において、図示しない加熱装置によって結晶成長のための所定の温度まで加熱され、その所定温度に到達した後に、工程7のガス導入工程において、図示しない原料ガス供給設備から反応炉26内に1乃至数種の所定の原料ガスが供給されることにより、1乃至数層の所望の半導体層が結晶成長させられる。このようにして結晶成長が終了した後、工程9の搬出工程において、サセプタ48が最下部まで下降させられると共にゲートバルブ46bが開けられると、トレイ搬出入機構44が再び作動させられることにより、サセプタ48上のウェハトレイ36が基板保持部32内に戻される。なお、結晶成長をさせる際の詳細な制御方法については、本発明の理解に必要ではないので説明を省略する。

【0024】そして、工程5に戻って、半導体基板12が載せられた他のウェハトレイ36がウェハトレイキャリア38から取り外されて工程6乃至8で同様に処理されることが繰り返されて、基板保持部32内に投入された全ての半導体基板12上に所定の半導体層が結晶成長させられた後、工程9の取り出し工程において、投入・取出口40を開けて基板保持部32内からウェハトレイ36(半導体基板12)を取り出すことによって、一連の結晶成長工程が終了する。

【0025】ここで、本実施例においては、半導体基板12上に所定の半導体層を結晶成長させるに際して、半導体基板12を系外に取り出すことなく反応炉26に搬送するための搬送装置28の基板保持部32内を所定の

気体雰囲気(H_2-N_2 雰囲気)にする工程3の雰囲気工程と、その基板保持部32内でその H_2-N_2 ガスのイオンを発生させることによりその基板保持部32内に載置された半導体基板12を除電する工程4の除電工程とを、含む工程によって半導体基板12が除電される。そのため、半導体基板12をエッチング処理することなく半導体層を結晶成長させる場合にも、結晶成長に先立って除電装置内で除電処理する工程を別途設けることなく除電処理が可能であると共に、除電処理された半導体基板12は外部へ取り出されることなく反応炉26に搬送されることとなって、半導体素子の製造工程を簡略にしつつ半導体基板12の十分な除電処理を行うことが可能となる。

【0026】また、本実施例においては、前記工程4の除電工程は、前記基板保持部32内の気体(H_2-N_2 ガス)を紫外線で照射することにより、前記所定の気体のイオンを発生させるイオン発生工程を含むものである。このようにすれば、半導体基板12を除電するための気体イオンは、紫外線照射によって発生させられることとなるため、放電によってイオンを発生させる場合に比較して、本実施例のように基板保持部32内に H_2 等の可燃性気体が存在する場合にも爆発等の生じることがなく、安全に除電処理を行うことができると共に、放電に伴うスパッタに起因する半導体基板12の汚染が抑制される。

【0027】以上、本発明の一実施例を図面を参照して詳細に説明したが、本発明は、更に別の態様でも実施される。

【0028】例えば、前述の実施例においては、外部に設けられた紫外線発生装置30から基板保持部32内に紫外線を照射していたが、例えば、基板保持部32内に紫外線発生装置30を設けて内部で紫外線を発生させるようにしても差し支えない。

【0029】また、実施例においては、基板保持部32内に導入された気体(H_2-N_2)に紫外線を照射することによって気体イオンを発生させていたが、例えば、基板保持部32にイオン発生器を接続して、そのイオン発生器で発生させられた気体イオンをポンプ等によって基板保持部32内に導入するように構成しても良い。

【0030】また、実施例においては、搬送装置28の基板保持部32内で除電を行っていたが、例えば、搬出入部34内に紫外線を照射することによってその搬出入部34内で除電を行うように構成しても差し支えない。

【0031】その他、一々例示はしないが、本発明はその趣旨を逸脱しない範囲で種々変更を加え得るものである。

【図面の簡単な説明】

【図1】半導体基板を運搬する際に用いられるキャリアの断面構造を示す図である。

【図2】本発明の一実施例の除電方法が適用される結晶

成長装置を模式的に示す図である。

【図3】図2の結晶成長装置によって除電および結晶成長を行う工程を説明する工程図である。

【符号の説明】

12：半導体基板

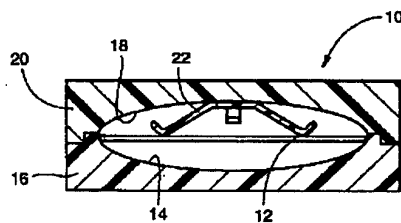
24：結晶成長装置

26：反応炉

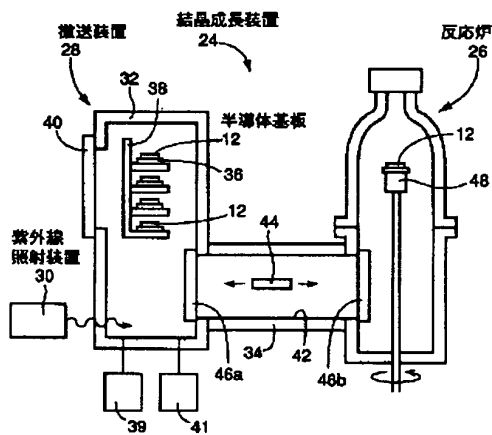
28：搬送装置

30：紫外線発生装置

【図1】



【図2】



【図3】

